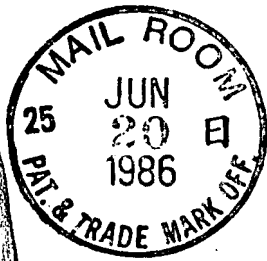


#3  
743,092



本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

この書類は下記の出願書類の謄本に相違ないことを証明する。  
To certify that the annexed is a true copy of the following application as filed  
Office.

年月日  
Application:

1984年8月21日

番号  
In Number:

昭和59年特許願第173848号

人

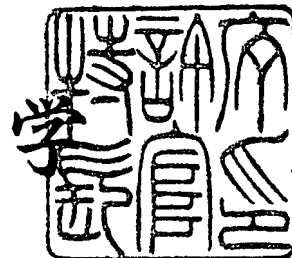
セイコー電子工業株式会社

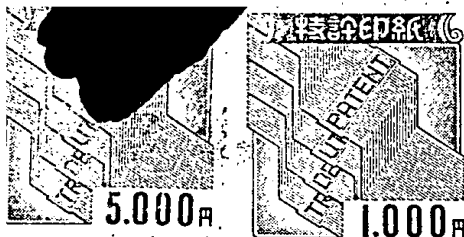
RECEIVED  
JUN 27 1986  
GROUP 130

1984年8月5日

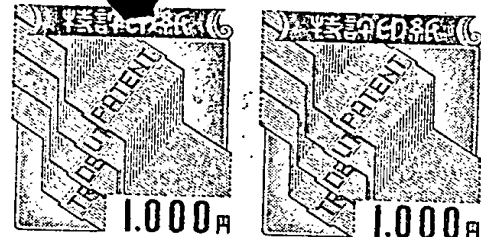
特許庁長官  
Director-General,  
Patent Office

志 賀





特 許 願



昭和 59 年 8 月 21 日

9500円

特 許 庁 長 官 殿

1. 発 明 の 名 称

薄膜トランジスタの製造方法

2. 発 明 者

コウトウ カメイド  
東京都江東区亀戸 6 丁目 3 1 番 1 号  
デンシコウギョウ  
セイコー電子工業株式会社内  
新 保 雅 文

3. 特 許 出 願 人

コウトウ カメイド  
東京都江東区亀戸 6 丁目 3 1 番 1 号  
デンシコウギョウ  
(232) セイコー電子工業株式会社  
代表取締役 服 部 一 郎

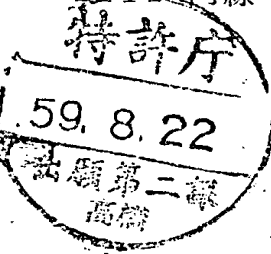
4. 代 理 人

〒104 東京都中央区京橋 2 丁目 6 番 2 1 号  
株式会社 服部セイコー内 最上特許事務所  
(4664) 弁理士 最 上 務  
連絡先 563-2111 内線 221~6 担当 林

5. 添附書類の目録

- (1) 願 書 副 本
- (2) 明 細 書
- (3) 図 面
- (4) 委 任 状

- 1 通
- 1 通
- 1 通
- 1 通



59 173848

# 明 細 書

## 発明の名称

### 薄膜トランジスタの製造方法

#### 特許請求の範囲

(1) 絶縁物基板上にゲート電極を選択的に形成する第1工程と、ゲート電極及び前記基板上にゲート絶縁膜、高抵抗半導体薄膜、少なくとも低抵抗半導体薄膜を含む導電膜を酸化性雰囲気中にさらすことなく連続的に堆積する第2工程と、少なく共前記ゲート電極上に前記高抵抗半導体薄膜と前記導電膜をほぼ同一形状に島状領域として残す第3工程と、前記島状領域上の一部に接し、かつ互いに離間するソース及びドレイン電極配線を選択的に形成する第4工程と、前記島状領域上の露出する前記導電膜を前記ソース及びドレイン電極配線を少なく共マスクの一部として選択的に除去する第5工程と、表面保護膜を堆積する第6工程と、前記表面保護膜を選択的に除去し、前記ソース及びドレイン電極配線、前記ゲート電極のそれぞれ

の一部を露出する第 7 工程とから成る薄膜トランジスタの製造方法。

(2) 前記第 2 工程において前記導電膜が、低抵抗半導体薄膜とその上の高融点金属膜または透明導電膜の少なく共 2 層から成り、両者が酸化性雰囲気中にさらすことなく連続的に堆積されることを特徴とする特許請求の範囲第 1 項記載の薄膜トランジスタの製造方法。

(3) 前記第 6 工程において表面保護膜の一部に遮光膜を形成することを特徴とする特許請求の範囲第 1 項または第 2 項記載の薄膜トランジスタ製造方法。

#### 発明の詳細な説明

##### 〔産業上の利用分野〕

本発明は、性能の改善された薄膜トランジスタの製造方法に関するものである。

##### 〔従来技術〕

非晶質シリコン ( $a-Si$ ) や多結晶シリコン ( $P-Si$ ) 等の半導体薄膜を用いた薄膜トランジスタ

( T F T ) は、液晶表示装置などに応用されつつある。T F T の構造として種々あるが、第 2 図 (a) ~ (d) にはその代表例である、いわゆる逆スタガー構造 T F T の従来製造工程例を  $a-Si$  膜を用いた例で説明する。第 2 図 (a) には、ガラス等の絶縁物基板 1 上にゲート電極 2 を選択的に形成した新面を示す。第 2 図 (b) では、ゲート絶縁膜 3 (例えば窒化膜) ,  $a-Si$  膜 4 を連続的に堆積し、 $a-Si$  膜 4 を選択エッチする。第 2 図 (c) では、フィールド絶縁膜 7 (例えば  $SiO_x$ ) を堆積後、ソース・ドレインコンタクトを開孔した状態を示す。図示してないが、このとき同時にゲートコンタクトも開孔する。第 2 図 (d) では、例えば  $n^+a-Si$  膜 25 , 26 と Al 等の金属膜 15 , 16 を堆積し、選択エッチによりドレイン・ソース電極 5 , 6 を形成して完成する。必要に応じ、さらに表面保護膜や遮光膜を形成する。

〔 発明が解決しようとする問題点 〕

第 2 図 (a) ~ (d) の従来製造方法においては、 $n^+a-Si$  膜 25 , 26 の堆積前にマスク工程を経るために

$\alpha$ -Si膜4の露出した表面には自然酸化膜を生じてしまう。HF水溶液等で除去できるが、やはり大気にさらすため表面には酸素やその化合物がつきやすいし、他の不純物も付着しやすい。そのため、このTFTにはソース・ドレインとチャンネル間に抵抗を有してしまい、本来の特性が得られなかった、同様なことは、 $n^+$  $\alpha$ -Si膜25, 26と金属膜15, 16の界面についてもいえる。

以上の様に、従来の製造方法では、ソース・ドレイン間とチャンネル間に抵抗が入ってしまい、本来のオン電流、周波数特性が得られなかった。さらに、マスク工程数が5~6回と多いことも問題であった。

本発明は、上記のコンタクト部を改良する製造方法を提供するもので、製造工程も簡単なものである。

〔問題点を解決するための手段〕

本発明によるTFTの製造方法では、ゲート絶縁膜、高抵抗半導体膜、低抵抗半導体膜、さらに必要に応じその上の導電膜を大気等の酸化性雰囲気

気にさらすことなく連続的に堆積し、その後ソース・ドレイン電極を選択的に形成する工程をとることにより、上記の問題点を解決している。

〔実施例〕

本発明を図面を用い以下に詳述する。第1図(a)~(e)は本発明によるTFTの製造工程に沿った断面図であり、 $\alpha$ -Si TFTについて説明する。第1図(a)は、ガラス、石英、セラミックス、絶縁物コートされたSiや金属などの絶縁物基板1上に、ゲート電極2を選択的に形成した断面である。ゲート電極2としてはCr, Mo, W, Al, Ta等の金属やそれらの硅化物、不純物添加されたp-Si等も用いられる。第1図(b)は、ゲート絶縁膜3、高抵抗 $\alpha$ -Si:H膜4、低抵抗 $\alpha$ -Si:H膜20、金属等の導電膜30を大気などの酸化性雰囲気気にさらすことなく連続的に形成した断面である。例えば、プラズマCVD装置において同一チャンバー内で真空をやぶることなく、 $\text{SiH}_4$ と $\text{NH}_3$ の混合ガスからゲート絶縁膜3として窒化膜( $\text{SiN}_x$ )、 $\text{SiH}_4$ を用いて高抵抗 $\alpha$ -Si:H膜4、 $\text{PH}_3$ と $\text{SiH}_4$ の混合ガスから $n^+$  $\alpha$ -Si

：H膜20を連続的に堆積することができる。または、インライン型のチャンバーを有したプラズマCVD装置を用い、各チャンバーで上記の膜を連続的に形成できるし、スパッタまたは蒸着室も付加すれば導電膜30も大気に出すことなく、連続的に堆積できる。ゲート絶縁膜3として $SiN_x$ の他に $SiO_x$ や、それらの多層膜も用いることができる。高抵抗 $a-Si$ 膜4として $SiF_4$ を用いた $a-Si:F$ または $a-Si:H:F$ や、微結晶 $a-Si$ 膜も適用できる。低抵抗 $a-Si$ 膜20も同様であり、他の不純物も添加できる。導電膜30としては、Cr, W, Mo, Ta等の高融点金属やその硅化物、またはITOや $SnO_2$ などの透明導電膜などの安定な導電膜が望ましい。特に、透明導電膜の場合には、本TFTをアクティブマトリクス液晶表示装置に適用した場合に、工程が簡単化する利点がある。第1図(c)には、1回のマスク工程で上記の導電膜30，低抵抗 $a-Si$ 膜20，高抵抗 $a-Si$ 膜4を島状に残した状態を示す。この工程は衆知のウェットエッチ，プラズマエッチ，反応性イオンエッチ，イオンエッチ等が用いられる。



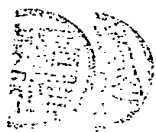
第 1 図 (d) では、ドレイン・ソース電極配線 15, 16 を選択的に設け、この電極配線 15, 16 を少なく共マスクの一部として露出する導電膜 30, 低抵抗  $a$ -Si 膜 20 を選択除去し、ドレイン電極 5 及びソース電極 6 を形成した断面を示す。ドレイン・ソース電極配線 15, 16 の形成にあたっては、その前に導電膜 30 の表面を逆スパッタ、イオンエッチ等でクリーニングすることが有効である。TFT のチャンネル部はこの場合導電膜 30 で被覆されているため、クリーニングで損傷を受けにくい。ドレインやソース電極配線 15, 16 は、導電膜 30 と同じ材料や Al 等が用いられる。また、低抵抗  $a$ -Si 膜 20 の選択エッチ時に、オーバーエッチして高抵抗  $a$ -Si 膜 4 まで達してもかまわない。第 1 図 (e) では表面保護膜 8 を堆積し、ドレインやソース電極配線 15, 16, ゲート電極 2 の一部 (図示せず) を露出した状態を示す。表面保護膜 8 としては  $SiO_x$ ,  $SiN_x$  等の CVD 膜やレジスト, ポリイミド樹脂のコーティングが用いられる。

遮光を必要とする場合には、表面保護膜 8 として

前記絶縁膜と金属膜や高抵抗半導体膜等との多層膜が用いることができる。特に、 $a-Si_{1-x}Ge_x$  を遮光膜として用いる場合には、特に絶縁膜も不要とすることもできる。

第3図(a)~(d)は、本発明を液晶表示装置用TFT基板に適用した例であり、一単位画素の断面図を示す。第3図(a)はガラス等の透明絶縁基板1上に、行方向にのびるゲート電極2と他行のゲート電極2'を形成したものである。その後、ゲート絶縁膜3、高抵抗 $a-Si$ 膜4、低抵抗 $a-Si$ 膜20を酸化性雰囲気中にさらすことなく連続堆積し、TFT形成領域に低抵抗 $a-Si$ 膜20と高抵抗 $a-Si$ 膜4を島状領域に残した状態が、第3図(b)である。

第3図(c)においては、ITO等の透明導電膜を堆積後、ドレイン電極配線15と画素電極もかねたソース電極配線16を選択形成し、露出する低抵抗 $a-Si$ 膜20を除去した断面を示す。この例では、画素電極(ソース電極配線)16と他行のゲート電極2'及びゲート絶縁膜3で電荷保持容量を形成している。第3図(d)では、遮光をも兼ねた表面保護膜



8を堆積後選択エッチし、画素電極とドレイン電極配線15及びゲート電極2, 2'の一部(図示せず)を露出した完成断面図を示す。この例では、低抵抗 $a-Si$ 膜20上に導電膜を形成していないが、第1図の例と同様導電膜例えばITOを形成することができる。

〔発明の効果〕

上述の様に、本発明によれば、高抵抗 $a-Si$ 膜4と低抵抗 $a-Si$ 膜20の界面には、酸化物等が形成されないので良好な接合を形成できる。低抵抗 $a-Si$ 膜20と導電膜30の界面についても同様である。また、低抵抗 $a-Si$ 膜20または導電膜30とドレイン・ソース電極配線15, 16との界面は、高抵抗 $a-Si$ 膜に損傷を与えずにクリーニングできるので、良好なコンタクトが得られると共にTFET特性を犠牲にすることはない。

以上により、良好なコンタクトを有したTFETが4回のマスク工程で形成できる。特に $a-Si$  TFETの様に、低温プロセスを必要とするものにおいては特に本発明は有効である。その結果、チャン

ネル直列抵抗の小さいTFTが得られるので、駆動能力や周波数特性が改善される。主にプラズマCVDを用いた $a$ -SiTFTを例に述べたが、光CVDや分子線やイオンビーム堆積法による半導体薄膜を用いたTFT、 $p$ -SiTFT、 $Si_{1-x}$ 外の半導体薄膜を用いたTFTに本発明は適用され、工業的意義は非常に高い。

#### 図面の簡単な説明

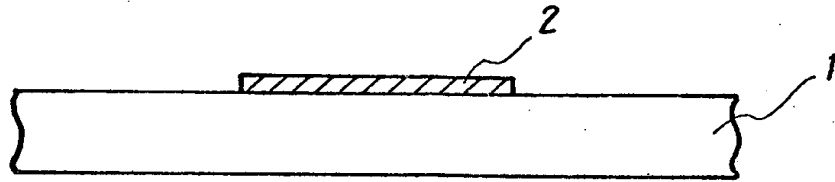
第1図(a)~(e)は、本発明によるTFTの製造工程に沿った断面図、第2図(a)~(d)は従来のTFTの製造工程断面図、第3図(a)~(d)は本発明を液晶表示用基板に適用した製造工程断面図である。

1…基板    2…ゲート電極    3…ゲート絶縁膜  
4…高抵抗 $a$ -Si膜    20, 25, 26…低抵抗 $a$ -Si膜  
30, 35, 36…導電膜    15…ドレイン電極配線  
16…ソース電極配線。

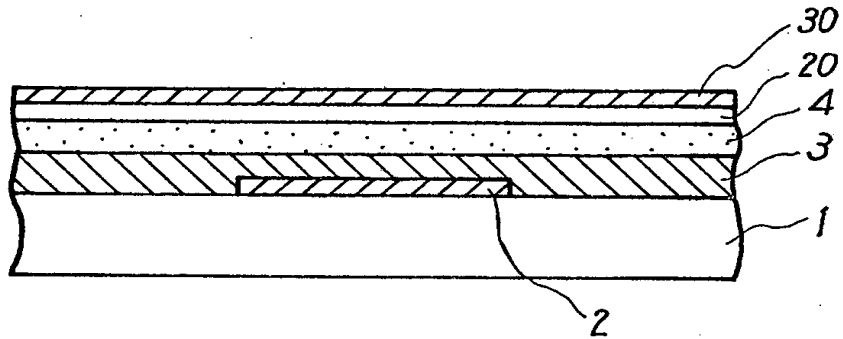
以        上

出願人    セイコー電子工業株式会社  
代理人    弁理士 最        上        務

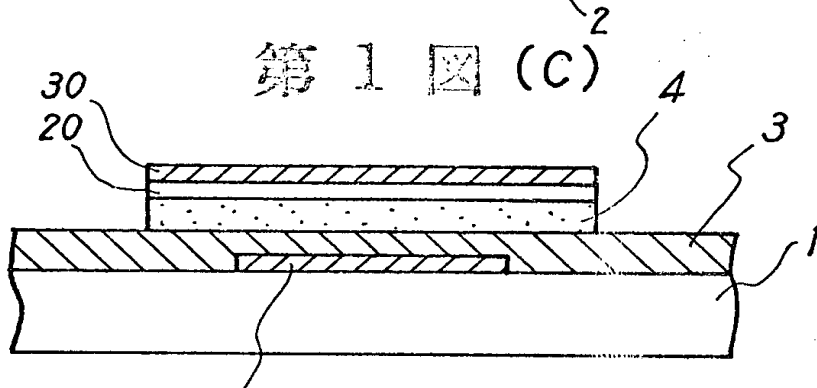
第 1 図 (a)



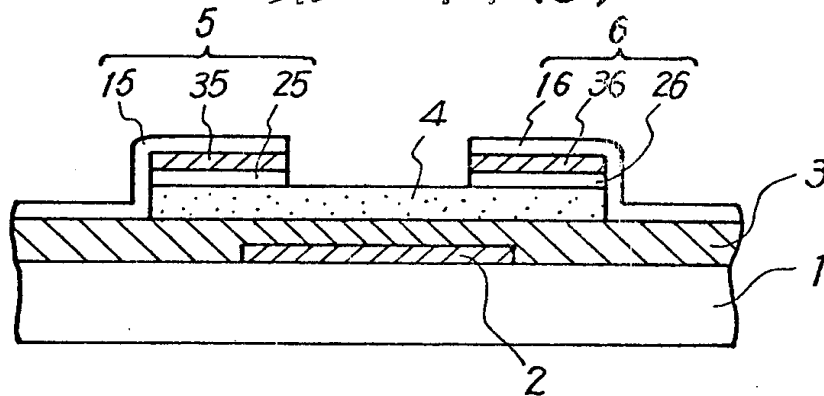
第 1 図 (b)



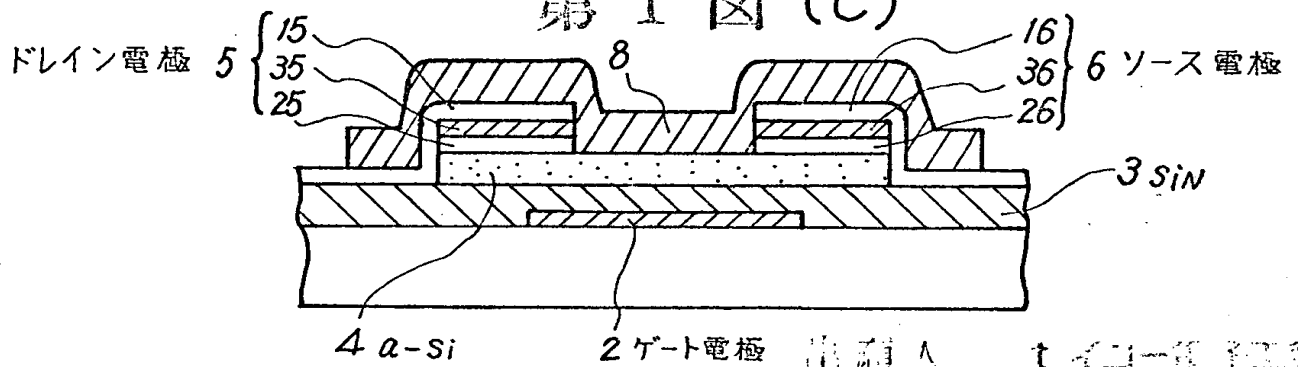
第 1 図 (c)



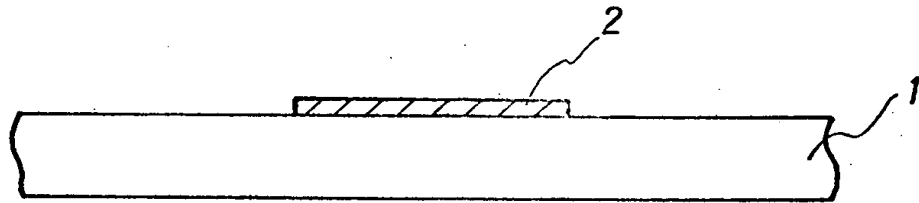
第 1 図 (d)



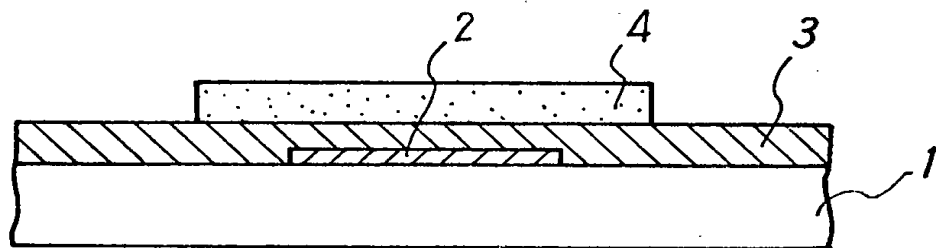
第 1 図 (e)



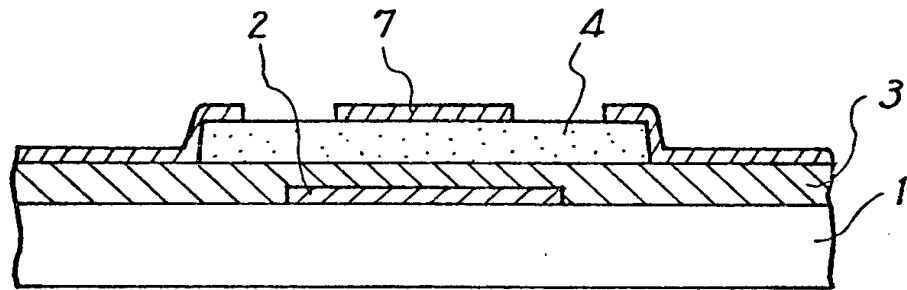
第 2 図 (a)



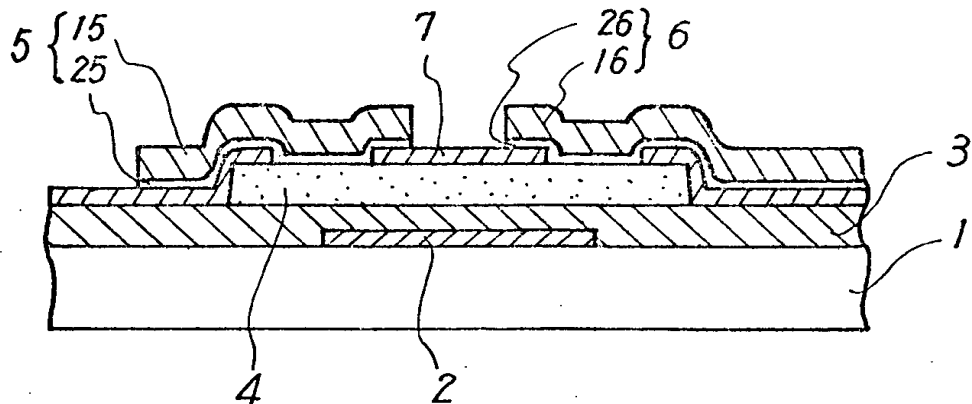
第 2 図 (b)



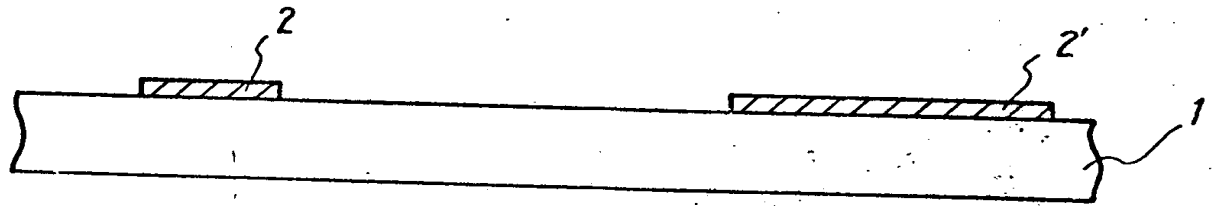
第 2 図 (c)



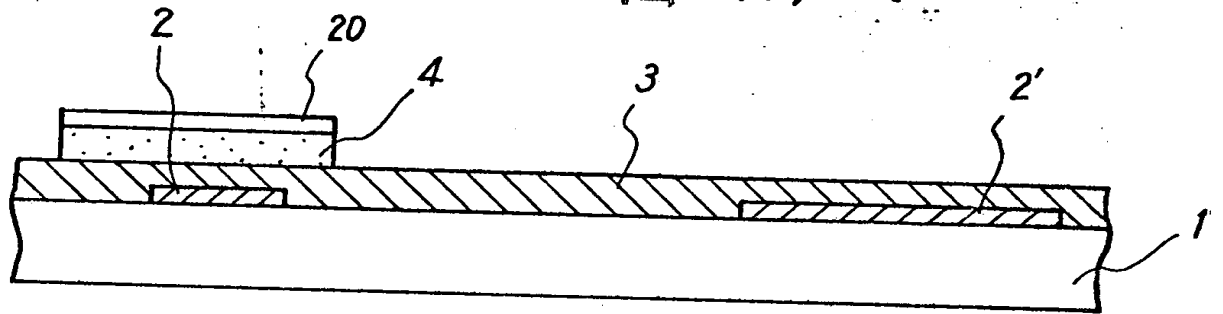
第 2 図 (d)



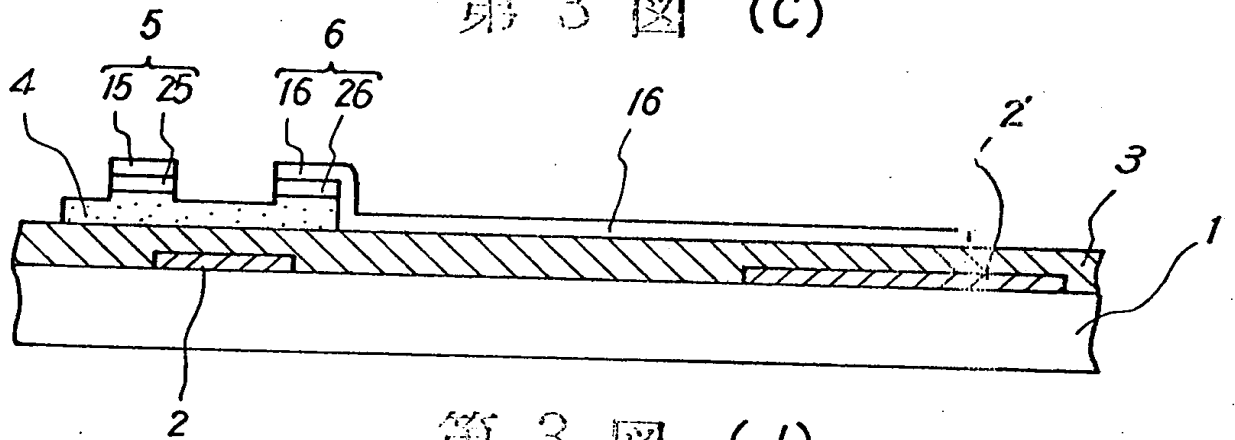
第 3 図 (a)



第 3 図 (b)



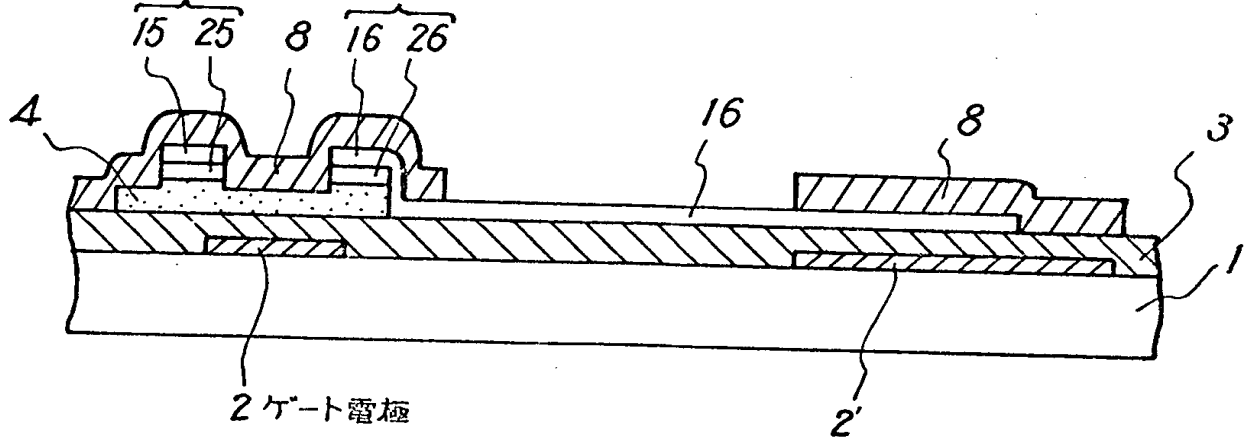
第 3 図 (c)



第 3 図 (d)

ドレイン電極 5

6 ソース電極



2 ゲート電極